

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-045893

(43)Date of publication of application : 14.02.2003

(51)Int.Cl. H01L 21/336  
H01L 21/027  
H01L 29/786

(21)Application number : 2002-139436

(71)Applicant : AU OPTRONICS CORP

(22)Date of filing : 15.05.2002

(72)Inventor : WONG JIA-FAM

(30)Priority

Priority number : 2001 90113936

Priority date : 08.06.2001

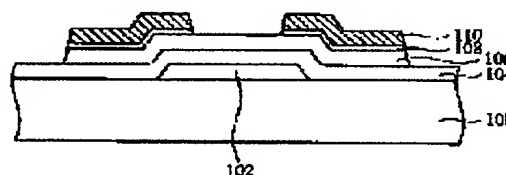
Priority country : TW

**(54) MANUFACTURING METHOD FOR THIN FILM TRANSISTOR AND FORMATION METHOD FOR ELEMENT**

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a TFT.

SOLUTION: The gate, an insulation layer, a semiconductor layer, a doped silicon layer and a metal layer are formed on a substrate. A first photoresist layer is formed on the metal layer, a second photoresist layer is formed on the first photoresist layer, and the absorption rate of the second photoresist layer is higher than the one of the first photoresist layer. Exposure and development processing are performed and a first pattern on the first photoresist and a second pattern on the second photoresist are formed simultaneously. An etching processing is executed; the first pattern is transferred to the semiconductor layer, the doped silicon layer, and the metal layer; and the second pattern is transferred to the doped silicon layer and the metal layer. The first photoresist layer and the second photoresist layer are removed.



## LEGAL STATUS

[Date of request for examination] 15.05.2002

[Date of sending the examiner's decision of rejection] 03.03.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

[Claim(s)]

[Claim 1] The process which forms the gate in a substrate in the manufacture approach of a thin film transistor, The process which forms an insulating layer in said gate, and the process which forms a semi-conductor layer in said insulating layer, The process which forms a dope silicon layer in said semi-conductor layer, and the process which forms a metal layer in said dope silicon layer, The process which forms the first photoresist layer in said metal layer, and the process which forms the second photoresist layer in said first photoresist layer, The process which performs exposure and a development, forms in the first pattern at said first photoresist layer, and forms the second pattern in said second photoresist layer at coincidence, The process which performs etching processing, imprints said first pattern in said semi-conductor layer, said dope silicon layer, and said metal layer, and imprints said second pattern in said dope silicon layer and said metal layer, the process which removes said first photoresist layer and said second photoresist layer -- since -- the manufacture approach of the thin film transistor characterized by becoming.

[Claim 2] The absorption coefficient of said first photoresist layer is the manufacture approach of the thin film transistor according to claim 1 which is lower than said second photoresist layer.

[Claim 3] The absorption coefficient of said first photoresist layer is the manufacture approach of the thin film transistor according to claim 2 which is said 0.2 to 0.8 times second photoresist layer.

[Claim 4] The photosensitivity of said first photoresist layer is the manufacture approach of the thin film transistor according to claim 1 which is lower than said second photoresist layer.

[Claim 5] The manufacture approach of the thin film transistor according to claim 1 to 4 which includes further the process which forms an adhesive layer between said first photoresist layer and said second photoresist layer.

[Claim 6] The ingredient used for formation of said adhesive layer is the manufacture approach of the thin film transistor according to claim 5 which is a hexamethyl disilane (Hexamethyldisilazane, HMDS).

[Claim 7] The exposure approach which carries out pattern formation of said first photoresist layer and said second photoresist layer is the manufacture approach of the thin film transistor according to claim 1 to 6 which is the multi-exposure approach, the halftone mask exposure approach, or the slit mask exposure approach.

[Claim 8] Perform said etching processing and said first pattern is imprinted in said semi-conductor layer, said dope silicon layer, and said metal layer. Said process which imprints said second pattern in said dope silicon layer and said metal layer The process which uses said first photoresist layer and said second photoresist layer as a mask, and carries out etching processing of said semi-conductor layer, said dope silicon layer, and said metal layer, The process which imprints said second pattern to said first photoresist layer, and the process which uses as a mask said first photoresist layer equipped with said second pattern for said dope silicon layer and said metal layer, and carries out etching processing, Furthermore, the manufacture approach of the thin film transistor according to claim 1 to 7 which is what is included.

[Claim 9] The process which forms the first photoresist layer in the component material layer etched in the formation approach of a component (element), The process which forms the second photoresist layer in said first photoresist layer, The process which performs exposure and a development, forms in the first pattern at said first photoresist layer, and forms the second pattern in said second photoresist layer at coincidence, the process which removes the process which performs etching processing and imprints said first pattern and said second pattern in said component material layer, and said first photoresist layer and said second photoresist layer -- since -- the formation approach of the component characterized by becoming.

[Claim 10] The absorption coefficient of said first photoresist layer is the formation approach of the component according to claim 9 which is lower than said second photoresist layer.

[Claim 11] The absorption coefficient of said first photoresist layer is the approach according to claim 10 of being said 0.2 to 0.8 times second photoresist layer.

[Claim 12] The photosensitivity of said first photoresist layer is the formation approach of the component according to claim 9 which is lower than said second photoresist layer.

[Claim 13] The formation approach of the component according to claim 9 to 12 which is what includes further the process which forms an adhesive layer between said first photoresist layer and said second photoresist layer.

[Claim 14] The ingredient used for formation of said adhesive layer is the approach according to claim 13 of being a hexamethyl disilane (Hexamethyldisilazane, HMDS).

[Claim 15] The exposure approach which carries out pattern formation of said first photoresist layer and said second photoresist layer is the formation approach of the component according to claim 9 to 14 which is the multi-exposure approach, the halftone mask exposure approach, or the slit mask exposure approach.

[Claim 16] Said process which performs said etching processing and imprints said first pattern and said second pattern in said component material layer The process which uses said first photoresist layer and said second photoresist layer as a mask, and carries out etching processing of said component material layer. The formation approach of the component according to claim 9 to 15 which is what includes further the process which imprints said second pattern to said first photoresist layer, and the process which uses as a mask said first photoresist layer equipped with said second pattern for said component material layer, and carries out etching processing.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is the manufacture approach of a thin film transistor (TFT), and relates to the approach of carrying out etching processing of various patterns accompanied by the depth from which a layer differs especially using a multi-photoresist layer.

[0002]

[Description of the Prior Art] A thin film transistor (it may abbreviate to TFT hereafter) is an active element (active element) used for the liquid crystal display (LCD). In the address period (address period) of an image data, the semi-conductor layer of TFT is low resistance (ON condition), and an image data is transmitted to a capacitor and changes the include angle of liquid crystal. In a maintenance condition (sustain period), the semi-conductor layer of TFT is high resistance (OFF condition), and image data is held uniformly.

[0003] Although TFT used for a flat-surface display is shown in drawing 11, the manufacture approach is as follows. A substrate 10 is equipped with a TFT field. The first metal layer is formed in a TFT field. The first lithography and etching processing are performed, and it carries out pattern formation along the first direction, using the first metal layer as the gate line 12. And an insulating layer 14, the semi-conductor layer (the thing of an amorphous silicon is usually shown) 16, n mold dope silicon layer 18, and the second metal layer 20 deposit in order on the gate line 12, the second lithography and etching processing are performed until an insulating layer 14 is exposed, and pattern formation of the semi-conductor layer 16, n mold dope silicon layer 18, and the second metal layer 20 is carried out. It crosses in the first direction, and pattern formation also of the second metal layer 20 is carried out, and it forms a signal line. In n mold dope silicon layer 18 and the second metal layer 20, the third lithography and etching processing are performed so that a channel (channel) 19 may be formed, an amorphous silicon 16 is exposed, and the source and a drain are formed.

[0004] Since much lithography and etching down stream processing are usually required to manufacture TFT as described above, the time amount and cost concerning manufacture become huge. Therefore, there are some which form the pattern and channel of the second metal layer in coincidence using the photoresist layer equipped with the different depth as an alternative approach. Since the second and third lithography and etching down stream processing serve as one lithography and etching processing, time amount and cost are cut down. A photoresist layer equipped with the different depth is formed by the various exposure approaches. For example, the approach indicated by 31 pages of the "monthly publication FPD intelligence" (press journal KK.) indicated in 1995 forms a photoresist layer by slit mask exposure (slit mask exposure). Moreover, there are halftone mask exposure (halftone mask exposure) released to Japanese LCD technical reference, double exposure (double exposure), etc.

[0005] Although an above-mentioned approach can form a photoresist layer equipped with the different depth, the technique of choosing the desirable ingredient of a photoresist and performing slit mask exposure, halftone mask exposure, and double exposure is not easy. And the accuracy of a pattern is inferior, and since a production process is not easy to adjust, either,

the rate of the yield will be decreased.

[0006]

[Problem(s) to be Solved by the Invention] This invention aims at reducing cost and time amount, when the manufacture approach of TFT is offered and a signal line and a channel carry out a pattern by one lithography and etching processing. Moreover, this invention aims at offering the manufacturing technology of TFT which can carry out the pattern of a signal line and the channel by one lithography and etching processing using a multi-photoresist layer equipped with different absorptivity (absorptivity). Furthermore, this invention sets it as the further purpose to offer the manufacturing technology of TFT which can be made to carry out the pattern of a signal line and the channel according to one lithography and an etching process using a multi-photoresist layer equipped with different photosensitivity (photosensitivity). In addition, the approach of forming a component (element) using the manufacture approach of Above TFT is also offered.

[0007]

[Means for Solving the Problem] The process at which this invention forms the gate in a substrate in order to attain the above-mentioned purpose, The process which forms an insulating layer in said gate, and the process which forms a semi-conductor layer in said insulating layer, The process which forms a dope silicon layer in said semi-conductor layer, and the process which forms a metal layer in said dope silicon layer, The process which forms the first photoresist layer in said metal layer, and the process which forms the second photoresist layer in said first photoresist layer, The process which gives exposure and a development process, forms in the first pattern at said first photoresist layer, and forms the second pattern in said second photoresist layer at coincidence, The process which performs etching processing, imprints said first pattern in said semi-conductor layer, said dope silicon layer, and said metal layer, and imprints said second pattern in said dope silicon layer and said metal layer, the process which removes said first photoresist layer and said second photoresist layer -- since -- it considered as the manufacture approach of the becoming thin film transistor.

[0008] According to the manufacture approach of TFT of this invention, the gate, an insulating layer, a semi-conductor layer, a dope silicon layer, and a metal layer are first formed on a substrate. And the first photoresist layer is formed on a metal layer, and the second photoresist layer is formed on this first photoresist layer. An exposure process and a development process are given next, and the second pattern is formed in the first pattern at the first photoresist, and they are formed in the second photoresist at coincidence. And etching processing is performed, the first pattern is imprinted in a semi-conductor layer, a dope silicon layer, and a metal layer, and the second pattern is imprinted in a dope silicon layer and a metal layer. Then, the first photoresist layer and the second photoresist layer are removed.

[0009] As for the absorption coefficient of the first photoresist layer, or photosensitivity, it is desirable that it is lower than the second photoresist. Moreover, the adhesive layer (adhesion layer) may be formed between the first photoresist layer and the second photoresist layer. It is because the adhesiveness of the first photoresist layer and the second photoresist layer will improve if such an adhesive layer is prepared.

[0010] Moreover, it is possible for especially a limit not to have the exposure approach which carries out pattern formation of the first photoresist layer and the second photoresist layer, and to use multi-exposure, halftone mask exposure, or slit mask exposure.

[0011] By the manufacture approach of TFT concerning above-mentioned this invention Perform etching processing and the first pattern is imprinted in a semi-conductor layer, a dope silicon layer, and a metal layer. The process to which said process which imprints the second pattern in a dope silicon layer and a metal layer uses the first photoresist layer and the second photoresist layer as a mask, and carries out etching processing of a semi-conductor layer, a dope silicon layer, and the metal layer, the process which imprints the second pattern to the first photoresist layer, and the process which uses as a mask said first photoresist layer equipped with the second pattern for a dope silicon layer and a metal layer, and carries out etching processing -- since -- it is desirable to make it become.

[0012] The manufacture approach of TFT concerning this invention mentioned above is

applicable to the formation approach of a semiconductor device as it is. The first photoresist layer is formed in the component material layer etched, and, specifically, the second photoresist layer is formed on the first photoresist layer. Exposure and a development are performed, and the second pattern is formed in the first pattern at the first photoresist, and they are formed in the second photoresist at coincidence. Then, after etching processing is performed and the first pattern and the second pattern are imprinted by the component material layer, the first photoresist layer and the second photoresist layer remove. According to the formation approach of the component concerning this invention, the costs and time amount which manufacture takes are reducible.

[0013]

[Embodiment of the Invention] In order to make still clearer the purpose of this invention mentioned above, the description, and the advantage, it explains in full detail, referring to a drawing about the gestalt of desirable operation of this invention below.

[0014] With this operation gestalt, the multi-photoresist layer equipped with the different depth with a different photoresist ingredient is formed. It has a different absorption coefficient or different photosensitivity, and a multi-photoresist layer is a layer, respectively and it decreases gradually from the upper layer, an absorption coefficient or photosensitivity it to a lower layer. [ those ] When controlling exposure energy, the pattern formation of the variety equipped with the different depth after development of a multi-photoresist layer becomes possible.

[0015] As shown by drawing 9, the thickness of the photoresist layer which remained decreases with the increment in exposure energy after exposure and development. PR1, PR2, and PR3 show three sorts of ingredients equipped with a different absorption coefficient. An absorption coefficient becomes larger and larger from PR1 to PR3. When exposure energy is E, the thickness of photoresist layer PR1 of a residual is [ the thickness of Hb and photoresist layer PR3 of a residual of the thickness of Ha and photoresist layer PR2 which remained ] Hc. When a multi-photoresist layer accumulates upwards from under PR1, PR2, and PR3, a multi-photoresist layer is equipped with the pattern of three sorts of different thickness, Ha, Hb, and Hc, after development. For example, three kinds of ingredients are used for forming a multi-photoresist layer, and are deposited on the layer etched. At first, the pattern of the upper layer PR 3 of a multi-photoresist layer is imprinted by the interlayer PR 2 of the layer etched and a multi-photoresist layer. Next, the pattern of the middle class PR 2 of a multi-photoresist layer is imprinted by the upper layer PR 1 of the layer etched and a multi-photoresist layer. Next, the pattern of the upper layer PR 1 of a multi-photoresist layer is imprinted by the layer etched. By this, the layer etched will be equipped with the pattern of three sorts of depth.

[0016] The operation [ first ] gestalt: Drawing 1 - drawing 2 are the sectional views showing the manufacture approach of TFT. In drawing 1, the substrates 100, such as a glass substrate or a quartz, are offered. The first metal layer is formed on a substrate 100, the pattern of the first metal layer is carried out, and the gate 102 and a gate line are formed.

[0017] As shown in drawing 2, an insulating layer 104, the semi-conductor layer 106, the dope silicon layer 108, and the second metal layer 110 are formed on the gate line 102. This insulating layer 104 is a gate insulating layer, and consists of silicon oxide or silicon nitride. The semi-conductor layer 106 is an amorphous silicon layer. The dope silicon layer 108 is n mold dope amorphous silicon layer.

[0018] As shown in drawing 3, the first photoresist layer 112 is formed on the second metal layer 110. The second photoresist layer 114 is formed on the first photoresist layer 112. The first photoresist layer 112 and the second photoresist layer 114 are equipped with a different absorption coefficient. The absorption coefficient of the first photoresist layer 112 is lower than the second photoresist layer 114. The absorption coefficient of the first photoresist layer 112 has 0.2 to 0.8 desirable times of the second photoresist layer 114. It becomes difficult to make the first photoresist layer absorb light in a RISOGURAFU process as it is less than 0.2, the exposure time to the first photoresist layer becomes very long, and it is not suitable for mass production method. It is because distinction with the first photoresist and \*\*\*\* 2 photoresist layer becomes impossible when 0.8 is exceeded. Moreover, the first photoresist layer 112 and the second photoresist layer 114 may be equipped with different photosensitivity. In that case,

as for the photosensitivity of the first photoresist layer 112, it is desirable that it is lower than the second photoresist layer 114.

[0019] As shown in drawing 4, exposure and a development are performed, the first pattern 113 is formed in the first photoresist layer 112, and the second pattern 115 is formed in the second photoresist layer 114. Especially a limit does not have the exposure approach which carries out pattern formation to the first photoresist layer 112 and the second photoresist layer 114, and even if any of multi-exposure, halftone exposure, and slit mask exposure are used for it, it can perform it.

[0020] In this first operation gestalt, the thickness of the photoresist layer of a residual decreases with the increment in an absorption coefficient after exposure and development. It is shown that PR1, PR2, and PR3 in drawing 9 are a photoresist equipped with an absorption coefficient which is different from quantity to low. As for the first photoresist layer 112, PR1 and the second photoresist layer 114 are PR2, and when exposure energy is E, the first photoresist layer 112 and the second photoresist layer 114 bring a different development result. The first photoresist layer 112 or the second photoresist layer 114 can be exposed alternatively. The first photoresist layer 112 is PR1, the second photoresist layer 114 is PR3, i.e., when the difference in both absorption coefficient is large, the second photoresist layer 114 is removed completely and the first photoresist layer 112 is suspended.

[0021] In a development, the first photoresist layer 112 and the second photoresist layer 114 are developed according to the process of 1. After exposure and a development, the first photoresist layer 112 is equipped with the first pattern 113, and the second photoresist layer 114 is equipped with the second pattern 115. The first photoresist layer 112 and the second photoresist layer 114 are U mold photoresist layers 116 as shown by drawing 4.

[0022] And as shown in drawing 5, U mold photoresist layer 116 is used as a mask. After etching processing is performed, the semi-conductor layer 106, the dope silicon layer 108, and the second metal layer 110 are equipped with the first pattern 113. Then, the second pattern 115 of the second photoresist layer 114 is imprinted by the first photoresist layer 112 as shown by drawing 6. The etching approach in this case can adopt the approach of carrying out etching processing of the U mold photoresist layer 116 by the so-called dry etching method (oxygen plasma), for example, the oxygen plasma.

[0023] The first photoresist layer 112 equipped with the second pattern 115 is used as a mask (the second photoresist layer 114 remains partially). As shown by drawing 7 after etching, the dope silicon layer 108 and the second metal layer 110 are equipped with the second pattern 115, and a channel 119 is formed. And the first photoresist layer 112 and the second photoresist layer 114 are removed after etching. TFT as shown by drawing 8 is manufactured.

[0024] The operation [ second ] gestalt: In order to strengthen further adhesion between the first photoresist layer 112 and the second photoresist layer 114, as shown by drawing 10, an adhesive layer 140 is offered between the first photoresist layer 112 and the second photoresist layer 114. It passes through the ingredient which forms an adhesive layer 140, and it is a KISAME chill disilane (Hexamethyldisilazane, HMDS) or a surfactant (surfactants). Since it is the same as that of the case of above-mentioned drawing 4 - drawing 8 about each other down stream processing, it omits. In addition, the above-mentioned manufacture approach of TFT can be applied when forming the component of a semi-conductor.

[0025]

[Effect of the Invention] As explained above, according to the manufacture approach of TFT concerning this invention, or the formation approach of a component, a process becomes brief and the time amount and cost which manufacture takes compared with the conventional process can be reduced greatly.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is a TFT sectional view at the time of gate line formation with the first operation gestalt.

[Drawing 2] It is a TFT sectional view at the time of laminatings, such as an insulating layer in the first operation gestalt, and a semi-conductor layer.

[Drawing 3] It is the sectional view of TFT at the time of the laminating of the first in the first operation gestalt, and the second photoresist layer.

[Drawing 4] It is the sectional view of photoresist exposure with the first operation gestalt, and TFT at the time of development.

[Drawing 5] It is the sectional view of TFT at the time of etching processing with the first operation gestalt.

[Drawing 6] It is a TFT sectional view at the time of the dry etching in the first operation gestalt.

[Drawing 7] It is the sectional view of TFT at the time of channel formation with the first operation gestalt.

[Drawing 8] It is a TFT sectional view after photoresist exfoliation with the first operation gestalt.

[Drawing 9] It is the graph which shows the relation between light exposure and the residual thickness of a photoresist.

[Drawing 10] It is a TFT sectional view concerning the second operation gestalt.

[Drawing 11] It is the conventional TFT sectional view.

[Description of Notations]

10,100 ..... Substrate

12,102 ..... Gate line

14,104 ..... Insulating layer

16,106 ..... Semi-conductor layer

18,108 ..... n mold dope silicon layer

19,119 ..... Channel

20,110 ..... Metal layer

112, 114, 116 ... Photoresist layer

113 115 ..... Pattern

140 ..... Adhesive layer

---

[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-45893

(P2003-45893A)

(43) 公開日 平成15年2月14日 (2003.2.14)

(51) Int.Cl. <sup>1</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/336		H 0 1 L 29/78	6 2 7 C 5 F 0 4 6
21/027			6 1 6 K 5 F 1 1 0
29/786		21/30	5 7 3

審査請求 有 請求項の数16 O L (全 7 頁)

(21) 出願番号 特願2002-139436(P2002-139436)

(22) 出願日 平成14年5月15日 (2002.5.15)

(31) 優先権主張番号 9 0 1 1 3 9 3 6

(32) 優先日 平成13年6月8日 (2001.6.8)

(33) 優先権主張国 台湾 (TW)

(71) 出願人 501358079

友達光電股▼ふん▲有限公司

台湾新竹科学工業園区新竹市力行二路1号

(72) 発明者 翁 嘉▲はん▼

台湾新竹市豊功里25鄰建中一路25号12樓之2

(74) 代理人 100111774

弁理士 田中 大輔

Fターム(参考) 5F046 AA20 HA01 NA01 NA07 NA17

5F110 AA16 BB01 CC07 DD02 DD03

EED2 FF02 FF03 GG02 GG15

HK02 HK09 HK16 HK21 QQ02

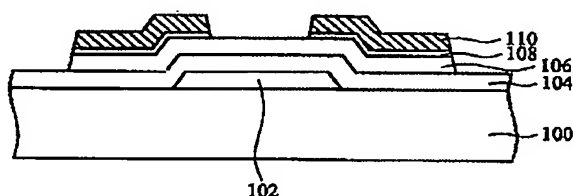
QQ08

(54) 【発明の名称】 薄膜トランジスタの製造方法及び素子の形成方法

(57) 【要約】

【課題】 T F T の製造方法を提供する。

【解決手段】 ゲート、絶縁層、半導体層、ドーパシリン層、金属層が基板上に形成される。第一フォトレジスト層は金属層に形成される。第二フォトレジスト層は第一フォトレジスト層上に形成される。第二フォトレジスト層は第一フォトレジスト層より吸収率が高い。露光と現像処理が施されて、第一フォトレジストに第一パターン、第二フォトレジストに第二パターンが同時に形成される。エッチング処理が施されて第一パターンを半導体層、ドーパシリン層及び金属層に転写し、第二パターンをドーパシリン層及び金属層に転写する。第一フォトレジスト層と第二フォトレジスト層は除去される。



## 【特許請求の範囲】

【請求項1】 薄膜トランジスタの製造方法において、  
基板にゲートを形成する工程と、  
前記ゲートに絶縁層を形成する工程と、  
前記絶縁層に半導体層を形成する工程と、  
前記半導体層にドーブシリコン層を形成する工程と、  
前記ドーブシリコン層に金属層を形成する工程と、  
前記金属層に第一フォトレジスト層を形成する工程と、  
前記第一フォトレジスト層に第二フォトレジスト層を形成する工程と、

露光及び現像処理を施して前記第一フォトレジスト層に第一パターン、前記第二フォトレジスト層に第二パターンを、同時に形成する工程と、  
エッチング処理を施して、前記第一パターンを前記半導体層、前記ドーブシリコン層及び前記金属層に転写し、前記第二パターンを前記ドーブシリコン層及び前記金属層に転写する工程と、  
前記第一フォトレジスト層と前記第二フォトレジスト層とを除去する工程と、からなることを特徴とする薄膜トランジスタの製造方法。

【請求項2】 前記第一フォトレジスト層の吸収率は前記第二フォトレジスト層より低いものである請求項1に記載の薄膜トランジスタの製造方法。

【請求項3】 前記第一フォトレジスト層の吸収率は前記第二フォトレジスト層の0.2～0.8倍である請求項2に記載の薄膜トランジスタの製造方法。

【請求項4】 前記第一フォトレジスト層の感光性は前記第二フォトレジスト層より低いものである請求項1に記載の薄膜トランジスタの製造方法。

【請求項5】 前記第一フォトレジスト層と前記第二フォトレジスト層との間に粘着層を形成する工程を更に含む請求項1～請求項4に記載の薄膜トランジスタの製造方法。

【請求項6】 前記粘着層の形成に用いる材料はヘキサメチルジシラン (Hexamethyldisilazane、HMD S) である請求項5に記載の薄膜トランジスタの製造方法。

【請求項7】 前記第一フォトレジスト層と前記第二フォトレジスト層とをパターン形成する露光方法は、マルチ露光方法、ハーフトーンマスク露光方法、スリットマスク露光方法のいずれかである請求項1～請求項6に記載の薄膜トランジスタの製造方法。

【請求項8】 前記エッチング処理を施して、前記第一パターンを前記半導体層、前記ドーブシリコン層及び前記金属層に転写し、前記第二パターンを前記ドーブシリコン層及び前記金属層に転写する前記工程は、前記半導体層、前記ドーブシリコン層及び前記金属層を前記第一フォトレジスト層と前記第二フォトレジスト層とをマスクとしてエッチング処理する工程と、  
前記第二パターンを前記第一フォトレジスト層に転写する工程と、

10

20

30

40

50

前記ドーブシリコン層及び前記金属層を、前記第二パターンを備える前記第一フォトレジスト層をマスクとしてエッチング処理する工程と、を更に含むものである請求項1～請求項7に記載の薄膜トランジスタの製造方法。

【請求項9】 素子 (element) の形成方法において、  
エッチングされる素子材層に第一フォトレジスト層を形成する工程と、  
前記第一フォトレジスト層に第二フォトレジスト層を形成する工程と、

露光及び現像処理を施して前記第一フォトレジスト層に第一パターン、前記第二フォトレジスト層に第二パターンを、同時に形成する工程と、  
エッチング処理を施して前記第一パターンと前記第二パターンとを前記素子材層に転写する工程と、  
前記第一フォトレジスト層と前記第二フォトレジスト層とを除去する工程と、からなることを特徴とする素子の形成方法。

【請求項10】 前記第一フォトレジスト層の吸収率は前記第二フォトレジスト層より低いものである請求項9に記載の素子の形成方法。

【請求項11】 前記第一フォトレジスト層の吸収率は前記第二フォトレジスト層の0.2～0.8倍である請求項10に記載の方法。

【請求項12】 前記第一フォトレジスト層の感光性は前記第二フォトレジスト層より低いものである請求項9に記載の素子の形成方法。

【請求項13】 前記第一フォトレジスト層と前記第二フォトレジスト層との間に粘着層を形成する工程を更に含むものである請求項9～12に記載の素子の形成方法。

【請求項14】 前記粘着層の形成に用いる材料はヘキサメチルジシラン (Hexamethyldisilazane、HMD S) である請求項13に記載の方法。

【請求項15】 前記第一フォトレジスト層と前記第二フォトレジスト層とをパターン形成する露光方法は、マルチ露光方法、ハーフトーンマスク露光方法、スリットマスク露光方法のいずれかである請求項9～請求項14に記載の素子の形成方法。

【請求項16】 前記エッチング処理を施して、前記第一パターン及び前記第二パターンを前記素子材層に転写する前記工程は、前記素子材層を、前記第一フォトレジスト層と前記第二フォトレジスト層とをマスクとしてエッチング処理する工程と、  
前記第二パターンを前記第一フォトレジスト層に転写する工程と、  
前記素子材層を、前記第二パターンを備える前記第一フォトレジスト層をマスクとしてエッチング処理する工程と、  
を更に含むものである請求項9～請求項15に記載の素子の形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ(TFT)の製造方法であって、特に、マルチフォトレジスト層を用いて、層の異なる深さを伴った様々なパターンをエッチング処理する方法に関するものである。

## 【0002】

【従来の技術】薄膜トランジスタ(以下、TFTと略する場合もある)は、液晶ディスプレイ(LCD)に用いられている能動素子(active element)である。イメージデータのアドレス期間(address period)において、TFTの半導体層は低抵抗(ON状態)であり、イメージデータはコンデンサに転送されて液晶の角度を変える。保持状態(sustain period)において、TFTの半導体層は高抵抗(OFF状態)であり、画像データは一定に保持される。

【0003】平面ディスプレイに用いられるTFTを図11に示すが、その製造方法は以下のとおりである。基板10はTFT領域を備える。第一金属層はTFT領域に形成される。第一リソグラフィ及びエッチング処理が施されて、第一方向に沿って、第一金属層をゲートライン12としてパターン形成する。そして、絶縁層14、半導体層(通常はアモルファスシリコンのことを示す)16、n型ドーパントシリコン層18、第二金属層20が、ゲートライン12上に順に堆積され、絶縁層14が露出するまで第二リソグラフィ及びエッチング処理が施されて、半導体層16、n型ドーパントシリコン層18、第二金属層20のパターン形成がされる。第二金属層20も第一方向に交差してパターン形成されてシグナルラインを形成する。n型ドーパントシリコン層18と第二金属層20において、チャンネル(channel)19を形成するように第三リソグラフィ及びエッチング処理が施されて、アモルファスシリコン16を露出して、ソース及びドレインを形成する。

【0004】上記したように、TFTを製造する場合には、通常多くのリソグラフィ及びエッチング処理工程が必要であるので、製造に係る時間とコストは膨大となる。そのため、代わりの方法として、異なる深さを備えるフォトレジスト層を用いて、第二金属層のパターンとチャンネルとを、同時に形成するものがある。第二及び第三リソグラフィ及びエッチング処理工程が一つのリソグラフィ及びエッチング処理となるので、時間もコストも縮減する。異なる深さを備えるフォトレジスト層は様々な露光方法により形成される。例えば、1995年に開示された“月刊FPD intelligence”(プレスジャーナルK. K.)の31ページに記載されている方法は、スリットマスク露光(slit mask exposure)により、フォトレジスト層を形成する。また、日本のLCD技術文献に公表されているハーフトーンマスク露光(halftone mask exposure)や、ダブル露光(double ex-

posure)などがある。

【0005】上述の方法は、異なる深さを備えるフォトレジスト層を形成することができるが、フォトレジストの好ましい材料を選択して、スリットマスク露光、ハーフトーンマスク露光、ダブル露光を実行する技術は容易ではない。そして、パターンの正確さは劣り、製造工程も調整が容易でないため、歩留り率を減少させてしまう。

## 【0006】

【発明が解決しようとする課題】本発明は、TFTの製造方法を提供し、シグナルラインとチャネルが一つのリソグラフィ及びエッチング処理によりパターンすることにより、コストと時間を削減することを目的としている。また、本発明は、異なる吸収性(absorptivity)を備えるマルチフォトレジスト層を用いて、シグナルラインとチャネルが一つのリソグラフィ及びエッチング処理によりパターンできるTFTの製造技術を提供することを目的とする。さらに、本発明は、異なる感光性(photosensitivity)を備えるマルチフォトレジスト層を用いて、シグナルラインとチャネルが一つのリソグラフィ及びエッチング工程によりパターンできるようにするTFTの製造技術を提供することを更なる目的とする。加えて、上記TFTの製造方法を用いて素子(element)を形成する方法も提供する。

## 【0007】

【課題を解決するための手段】上述の目的を達成するため、本発明は、基板にゲートを形成する工程と、前記ゲートに絶縁層を形成する工程と、前記絶縁層に半導体層を形成する工程と、前記半導体層にドーパントシリコン層を形成する工程と、前記ドーパントシリコン層に金属層を形成する工程と、前記金属層に第一フォトレジスト層を形成する工程と、前記第一フォトレジスト層に第二フォトレジスト層を形成する工程と、露光及び現像工程を施して前記第一フォトレジスト層に第一パターン、前記第二フォトレジスト層に第二パターンを、同時に形成する工程と、エッチング処理を施して、前記第一パターンを前記半導体層、前記ドーパントシリコン層及び前記金属層に転写し、前記第二パターンを前記ドーパントシリコン層及び前記金属層に転写する工程と、前記第一フォトレジスト層と前記第二フォトレジスト層とを除去する工程と、からなる薄膜トランジスタの製造方法とした。

【0008】本発明のTFTの製造方法によれば、まず、ゲート、絶縁層、半導体層、ドーパントシリコン層、金属層が基板上に形成される。そして、第一フォトレジスト層は金属層上に形成され、この第一フォトレジスト層上に第二フォトレジスト層が形成される。この後に露光工程と現像工程が施されて、第一フォトレジストに第一パターン、第二フォトレジストに第二パターンが同時に形成される。そして、エッチング処理を施して第一パターンを半導体層、ドーパントシリコン層及び金属層に転写

し、第二パターンをドーブシリコン層及び金属層に転写する。その後、第一フォトレジスト層と第二フォトレジスト層は除去される。

【0009】第一フォトレジスト層の吸収率又は感光性は第二フォトレジストより低いことが好ましい。また、第一フォトレジスト層と第二フォトレジスト層との間に粘着層 (adhesion layer) が形成されていてもよい。このような粘着層を設けると、第一フォトレジスト層と第二フォトレジスト層との粘着性が向上するからである。

【0010】また、第一フォトレジスト層と第二フォトレジスト層とをパターン形成する露光方法は特に制限はなく、マルチ露光、ハーフトーンマスク露光、スリットマスク露光のいずれかを用いることが可能である。

【0011】上記した本発明に係るTFTの製造方法では、エッチング処理を施して、第一パターンを、半導体層、ドーブシリコン層及び金属層に転写し、第二パターンをドーブシリコン層及び金属層に転写する前記工程が、半導体層、ドーブシリコン層及び金属層を第一フォトレジスト層と第二フォトレジスト層とをマスクとしてエッチング処理する工程と、第二パターンを第一フォトレジスト層に転写する工程と、ドーブシリコン層及び金属層を、第二パターンを備える前記第一フォトレジスト層をマスクとしてエッチング処理する工程と、からなるようにすることが望ましい。

【0012】上述した本発明に係るTFTの製造方法は、そのまま半導体素子の形成方法に応用できる。具体的には、第一フォトレジスト層はエッチングされる素子材層に形成され、第二フォトレジスト層が第一フォトレジスト層上に形成される。露光と現像処理が施されて第一フォトレジストに第一パターン、第二フォトレジストに第二パターンが同時に形成される。その後、エッチング処理が施され、第一パターンと第二パターンとが素子材層に転写された後、第一フォトレジスト層と第二フォトレジスト層は除去するものである。この本発明に係る素子の形成方法によれば、製造に要するコストと時間を削減することができる。

【0013】

【発明の実施の形態】上述した本発明の目的、特徴、及び長所をより一層明瞭にするため、以下に本発明の好ましい実施の形態について図面を参照しながら詳説する。

【0014】本実施形態では、異なるフォトレジスト材料により、異なる深さを備えるマルチフォトレジスト層を形成する。マルチフォトレジスト層は、それぞれ層で、異なる吸収率又は感光性を備え、それらの吸収率又は感光性は上層から下層にかけて徐々に減少していくようになっている。露光エネルギーを制御する時、マルチフォトレジスト層は現像後、異なる深さを備える多種のパターン形成が可能となる。

【0015】図9で示されるように、露光と現像の後、

残留したフォトレジスト層の厚さは、露光エネルギーの増加に伴い、減少する。PR1、PR2及びPR3は異なる吸収率を備える3種の材料を示す。吸収率は、PR1からPR3へ、だんだん大きくなる。露光エネルギーがEの時、残留のフォトレジスト層PR1の厚さはHa、残留したフォトレジスト層PR2の厚さはHb、残留のフォトレジスト層PR3の厚さはHcである。マルチフォトレジスト層がPR1、PR2及びPR3、下から上に堆積した場合、現像後、マルチフォトレジスト層はHa、Hb、Hcの3種の異なる厚さのパターンを備える。例えば、3種類の材料はマルチフォトレジスト層を形成するのに用いられ、エッチングされる層上に堆積する。最初、マルチフォトレジスト層の上層PR3のパターンは、エッチングされる層とマルチフォトレジスト層の中間層PR2に転写される。次に、マルチフォトレジスト層の中間層PR2のパターンは、エッチングされる層とマルチフォトレジスト層の上層PR1に転写される。次に、マルチフォトレジスト層の上層PR1のパターンは、エッチングされる層に転写される。これにより、エッチングされる層は3種の深度のパターンを備えることになる。

【0016】第一実施形態：図1～図2は、TFTの製造方法を示す断面図である。図1において、ガラス基板又は石英などの基板100が提供される。第一金属層は基板100上に形成され、第一金属層はパターンされてゲート102とゲートラインが形成される。

【0017】図2に示すように、絶縁層104、半導体層106、ドーブシリコン層108、第二金属層110がゲートライン102上に形成される。この絶縁層104はゲート絶縁層で、酸化ケイ素又は窒化ケイ素からなる。半導体層106は、アモルファスシリコン層である。ドーブシリコン層108は、n型ドーブアモルファスシリコン層である。

【0018】図3に示すように、第一フォトレジスト層112は第二金属層110上に形成される。第二フォトレジスト層114は第一フォトレジスト層112上に形成される。第一フォトレジスト層112と第二フォトレジスト層114は異なる吸収率を備える。第一フォトレジスト層112の吸収率は第二フォトレジスト層114より低い。第一フォトレジスト層112の吸収率は第二フォトレジスト層114の0.2～0.8倍が好ましい。0.2未満であると、リソグラフ工程において第一フォトレジスト層に光を吸収させることが難しくなり、第一フォトレジスト層への露光時間が非常に長くなり、大量生産に適さない。0.8を越えると、第一フォトレジストと第二フォトレジスト層との区別ができなくなるからである。また、第一フォトレジスト層112と第二フォトレジスト層114は異なる感光性を備えてもよい。その場合、第一フォトレジスト層112の感光性は第二フォトレジスト層114より低いことが好ましいもので

ある。

【0019】図4に示すように、露光と現像処理を施し、第一パターン113を第一フォトレジスト層112に形成し、第二パターン115を第二フォトレジスト層114に形成する。第一フォトレジスト層112と第二フォトレジスト層114とにパターン形成する露光方法は、特に制限はなく、マルチ露光、ハーフトーン露光、スリットマスク露光のいずれを用いても行うことができる。

【0020】この第一実施形態においては、露光と現像の後、残留のフォトレジスト層の厚さが、吸収率の増加に伴って減少するものとなる。図9におけるPR1、PR2及びPR3は高から低へ異なる吸収率を備えるフォトレジストであることを示している。第一フォトレジスト層112はPR1、第二フォトレジスト層114がPR2で、露光エネルギーがEである場合、第一フォトレジスト層112と第二フォトレジスト層114は異なる現像結果となる。第一フォトレジスト層112又は第二フォトレジスト層114は選択的に露光することができる。第一フォトレジスト層112がPR1、第二フォトレジスト層114がPR3である、つまり両者の吸収率の差異が大きい場合、第二フォトレジスト層114は完全に除去され、第一フォトレジスト層112は保留される。

【0021】現像処理では、第一フォトレジスト層112と第二フォトレジスト層114とが一の工程により現像される。露光と現像処理の後、第一フォトレジスト層112は第一パターン113を備え、第二フォトレジスト層114は第二パターン115を備える。第一フォトレジスト層112と第二フォトレジスト層114は図4で示されるようなU型フォトレジスト層116である。

【0022】そして、図5に示すようにU型フォトレジスト層116はマスクとして用いられる。エッチング処理が施された後、半導体層106、ドーブシリコン層108及び第二金属層110は、第一パターン113を備える。その後、第二フォトレジスト層114の第二パターン115は、図6で示されるように第一フォトレジスト層112に転写される。この場合のエッチング方法は、いわゆるドライエッチング法、例えば、酸素プラズマ(oxygen plasma)により、U型フォトレジスト層116をエッチング処理する方法が採用できる。

【0023】第二パターン115を備える第一フォトレジスト層112はマスクとして用いられる(第二フォトレジスト層114は部分的に残留する)。エッチングの後、図7で示されるように、ドーブシリコン層108及び第二金属層110は、第二パターン115を備え、チャネル119が形成される。そして、エッチングの後、第一フォトレジスト層112と第二フォトレジスト層114は除去される。図8で示されるようなTFTが製造

される。

【0024】第二実施形態：第一フォトレジスト層112と第二フォトレジスト層114との間の粘着力を更に強くするため、図10で示されるように、粘着層140が第一フォトレジスト層112と第二フォトレジスト層114間に提供される。粘着層140を形成する材料は、ヘキサメチルジシラン(Hexamethyldisilazane, HMDS)又は界面活性剤(surfactants)である。その他の各処理工程については上記図4～図8の場合と同様であるので省略する。尚、上記したTFTの製造方法は、半導体の素子を形成する場合に応用可能なものである。

【0025】

【発明の効果】以上説明したように、本発明に係るTFTの製造方法又は素子の形成方法によれば、工程が簡潔になり、従来の製法に比べ製造に要する時間とコストを大きく削減できるものとなる。

【図面の簡単な説明】

【図1】第一実施形態でのゲートライン形成時のTFT断面図である。

【図2】第一実施形態での絶縁層や半導体層等の積層時のTFT断面図である。

【図3】第一実施形態での第一及び第二フォトレジスト層の積層時のTFTの断面図である。

【図4】第一実施形態でのフォトレジスト露光、現像時のTFTの断面図である。

【図5】第一実施形態でのエッチング処理時のTFTの断面図である。

【図6】第一実施形態でのドライエッチング時のTFT断面図である。

【図7】第一実施形態でのチャネル形成時のTFTの断面図である。

【図8】第一実施形態でのフォトレジスト剥離後のTFT断面図である。

【図9】露光量とフォトレジストの残留厚さの関係を示すグラフである。

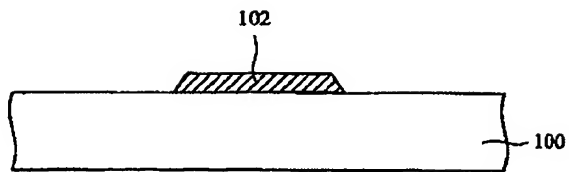
【図10】第二実施形態に係るTFT断面図である。

【図11】従来のTFT断面図である。

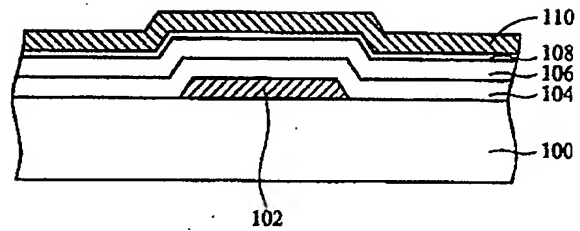
【符号の説明】

10、100・・・基板  
12、102・・・ゲートライン  
14、104・・・絶縁層  
16、106・・・半導体層  
18、108・・・n型ドーブシリコン層  
19、119・・・チャネル  
20、110・・・金属層  
112、114、116・・・フォトレジスト層  
113、115・・・パターン  
140・・・粘着層

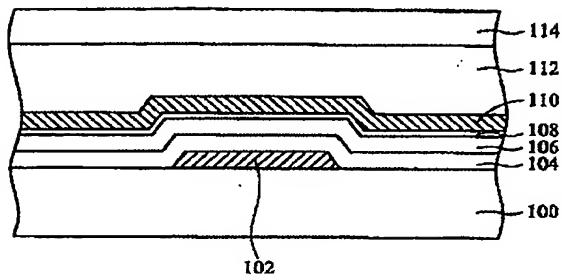
【図1】



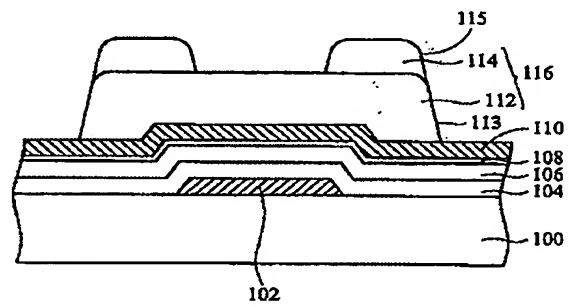
【図2】



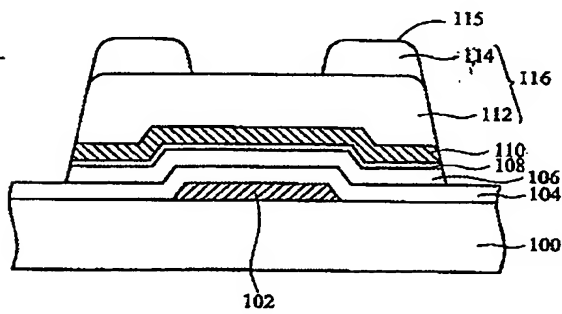
【図3】



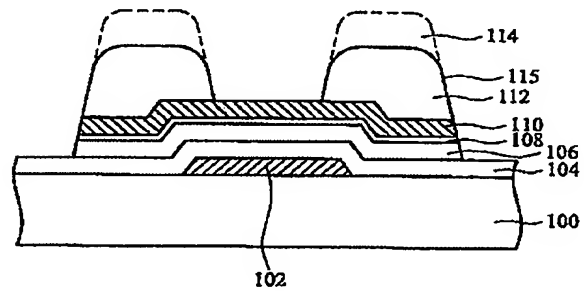
【図4】



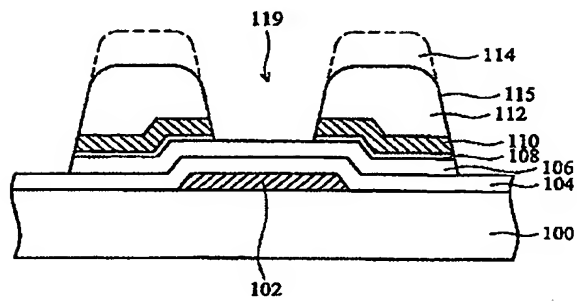
【図5】



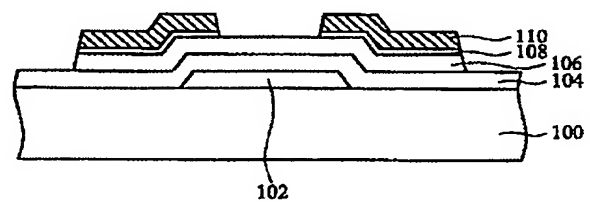
【図6】



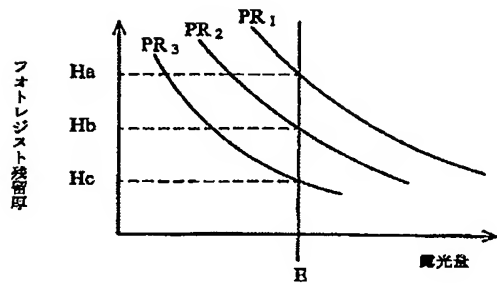
【図7】



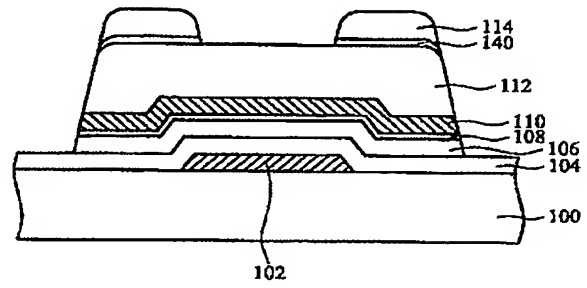
【図8】



【図9】



【図10】



【図11】

